1. Составить для 2-входового декодера с дополнительным входом разрешения таблицу истинности.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| s | a | b | Y1 | Y2 | Y3 | Y4 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 |

2. По таблице истинности составить карту Карно.

3. По карте Карно записать логическую формулу устройства на основе дизъюнктивной нормальной формы (ДНФ).

y0 =

y1 =

y2 =

y3 =

4. Зарисовать структурную схему устройства, состоящую из базовых логических вентилей (И, ИЛИ, НЕ).

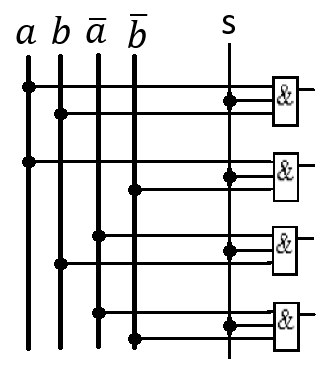


Рисунок 1 – Структурная схема

5. Создать проект в интегрированной среде разработки Xilinx ISE. Выбрать в качестве целевого устройства ПЛИС начального уровня семейства Spartan-3.

6. Написать исходный код на языке VHDL, описывающий работу устройства.

7. Написать тестовый модуль (Test Bench) для проверки функционала устройства.

8. Проверить работу устройства визуально по диаграммам переходов, с помощью симулятора ISim.

9. На базе 2-входового декодера собрать 3-входовый декодер с дополнительным входом разрешения. 9. На базе 3-входового декодера собрать 4-входовый декодер с дополнительным входом разрешения.

10. Зарисовать структурную схему.

11. Описать схему на языке VHDL с тремя модулями: 2-входовой декодер (1) и 3-входовый декодер (2) и 4-входовый декодер.

12. Проверить работу устройства визуально с помощью диаграмм переходов в симуляторе ISim.

13. Написать вывод о проделанной работе.